

Projeto de um Sistema de Inspeção Automática de Placas de Circuito Impresso

João Francisco Borba^{1,2} e Jacques Facon¹

¹ Centro Federal de Educação Tecnológica do Paraná - CEFET-PR
Curso de Pós-Graduação em Engenharia Elétrica e Informática Industrial - CPGEI
Av. Sete de Setembro, nº 3165 - Curitiba - PR - CEP 80230-901
Fone: (041) 322-4544 - Ramal: 191 - Fax: (041) 224-5170
CEFETPR@BRFAPESP.BITNET

² Companhia Paranaense de Energia - COPEL
Departamento de Sistemas Técnico-Científicos - DPST
Rua Cel. Dulcídio, nº 800 - Curitiba - PR - CEP 80420-170
Fone: (041) 322-3535 - Ramal: 4463 - Fax: (041) 331-4145

Abstract. We will present a PCB Visual Inspection Automated System developed to detect copper corrosion and deposition defects. The system will be based on the PCB knowledge reduction principle and will proceed the inspection without previous pattern recognition. The defects detection will be realized by growing the outnorm defects from the mathematical morphology. We will illustrate the safety inspection from PCB models with randomic defects.

1 Introdução

A evolução tecnológica constante na concepção e na produção de circuitos impressos faz que os processos de controle de qualidade desses tornem-se cada vez mais necessários, complexos e delicados. Dentro das normas brasileiras ABNT [ABNT (1975)] e da nomenclatura estabelecida para a homologação de placas [Wagner (1987)], vem sendo desenvolvido o SIPCIC - Sistema de Inspeção de Placas de Circuito Impresso por Computador, destinado a automatizar o controle visual de qualidade de placas de circuito impresso e detectar os seguintes defeitos:

- a) mau espaçamento entre as trilhas;
- b) irregularidade na largura das trilhas;
- c) descentralização da furação.

Várias metodologias de automatização do processo de inspeção de qualidade já foram propostas [Mandeville (1985)], [Hara (1988)] e [Spraghe (1991)]. A maioria delas tende a seguir um de dois caminhos: os métodos de comparação por referência ou os métodos de verificação de regras. A comparação por referência efetua a inspeção de uma placa em teste baseando-se na imagem da "placa ideal". Essa técnica provoca um custo elevado em termos de memória pois necessita armazenar as imagens das placas ideal e em teste, e preconiza o uso de sistemas mecânicos sofisticados e de recursos lógicos importantes devido à necessidade de uma grande precisão na localização da placa em teste para efetuar a comparação. A verificação por regras procura detectar falhas no formato que uma determinada classe de placas deve possuir. Esses

métodos, algumas vezes, não conseguem detectar certos tipos específicos de falhas. Recentemente, vários autores têm descrito algoritmos que integram ambos os métodos [Spraghe (1991)].

O SIPCIC foi desenvolvido de maneira a não processar qualquer comparação com qualquer placa padrão. A detecção dos defeitos de uma placa em teste é feita a partir dessa mesma placa sem referenciar-se a nenhuma característica da "placa ideal". Nessa ótica, ele foi concebido de maneira a realçar e isolar os possíveis defeitos, sem conhecimento prévio. Para isso a inspeção é efetuada a partir de morfologia matemática [Serra (1982)] [Maragos (1987)], através das operações de dilatação, erosão e afinamento aplicadas numa ordem apropriada [Justino (1991)]. A aplicação desses processos resulta na ampliação dos defeitos devidos à falta e ao excesso de corrosão do cobre e daqueles devidos a má furação.

2 Princípio da Detecção Automática de Defeitos

Para uma padronização dos defeitos, usamos três regras de inspeção abaixo citadas [Kelley (1987)], [Pinto (1983)] que são

Regra-1: a redução aceitável na largura de um condutor deve ser menor que 30% da largura total do mesmo;

Regra-2: a redução aceitável da distância entre trilhas deve ser menor do que 30% da distância nominal definida;

Regra-3: as falhas aceitáveis nas ilhas devem ser menores que 2/3 de seu diâmetro.

Para conseguir colocar em evidência as faltas e os excessos de cobre, são efetuados respectivamente processos morfológicos de erosão e dilatação cujo objetivo reside na ampliação dos defeitos. Caso a placa apresente qualquer falha de um dos tipos acima citados, esse é amplamente acentuado.

Dado que as placas processadas são desconhecidas (hipótese do conhecimento prévio reduzido), a detecção de um possível defeito não pode ser realizada simplesmente a partir de seu tamanho. De outro lado, por definição, as operações morfológicas são operações modificadoras que não devolvem a imagem original. O princípio de ampliação foi desenvolvido de maneira a acentuar o defeito sem destruir ou modificar as características próprias da placa em teste. Para tanto são definidos fatores limitantes a partir das espessuras nominal e máxima de um filete, e do espaçamento nominal entre filetes. Os números máximos NME e NMD de filigras por erosão e por dilatação a aplicar são regidos pelas seguintes equações:

$$NME = \text{round}((ENF * 0.7) / 2)$$

$$NMD = \text{round}((EEF * 0.7) / 2)$$

onde ENF e EEF representam respectivamente a espessura nominal do filete e o espaçamento nominal entre filetes. O fator 0.7 refere-se ao complemento do percentual de tolerância permitida (30%) definida nas regras acima citadas.

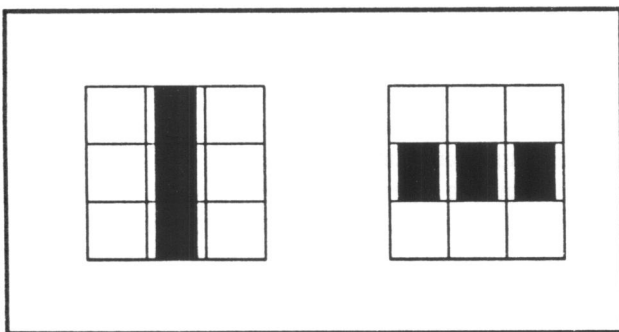


Figura 1: Elementos estruturantes usados nos processos de erosão e dilatação

Os dispositivos de visualização utilizam de forma geral pixels retangulares, o que tem como consequência a destruição da simetria das entidades da placa e a indução ao erro nos processos morfológicos. Para remediar este problema usamos os processos de erosão e dilatação horizontais e verticais diferenciados a partir de famílias de elementos estruturantes elementares (Fig. 1). O controle dessas operações é efetuado a partir dos fatores FNME_H, FNME_V e FNMD_H, FNMD_V representando, respectivamente, os números máximos de erosões e dilatações nas direções horizontal e vertical. Eles são definidos a partir dos números NME e NMD e do fator de aspecto RATIO

descrevendo o aspecto retangular de um pixel da imagem, da seguinte maneira:

$$FNME_H = \text{round}(NME / \text{RATIO})$$

$$FNME_V = NME$$

$$FNMD_H = \text{round}(NMD / \text{RATIO})$$

$$FNMD_V = NMD$$

3 Afinamento

Na preparação da imagem de uma placa de circuito impresso para inspeção o processo de ampliação dos defeitos é seguido pelo de afinamento, cujo objetivo é transformar, sem perda de conectividade, as entidades em elementos unifilares. Dentro dos vários algoritmos existentes [Gonzalez (1978)], [Serra (1982)], foi escolhido o algoritmo sugerido por Mandeville [Mandeville (1985)] e modificado para tornar o processo de afinamento eficiente no caso de imagens com pixels retangulares e de maneira a afinar filetes horizontais, verticais e inclinados em 45 graus.

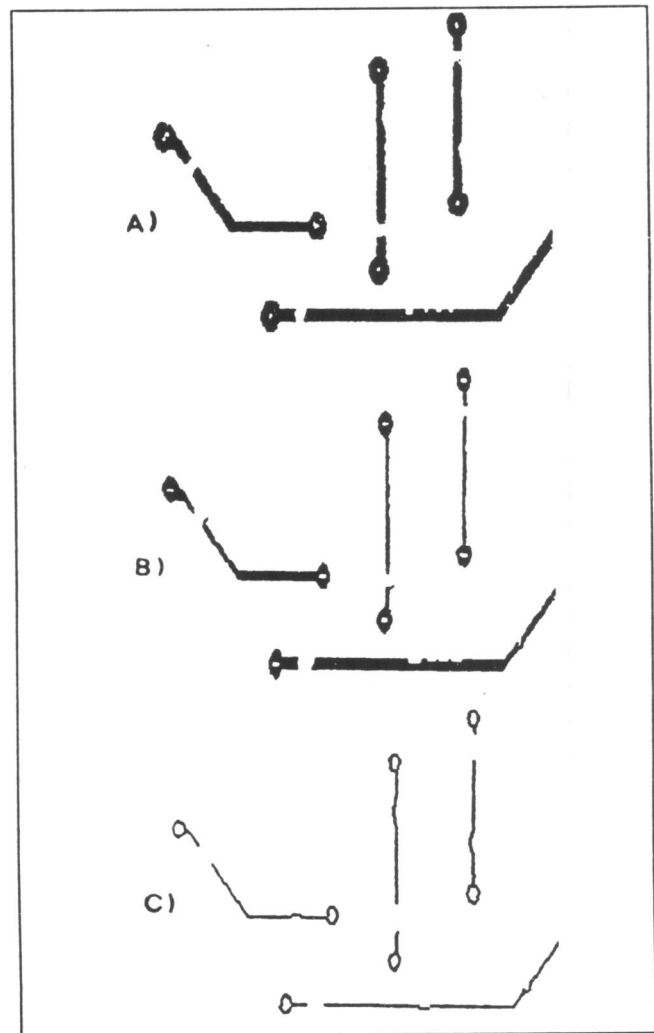


Figura 2: Afinamento: a) Imagem inicial; b) Processo de Mandeville; c) Processo modificado

Visualizamos na Fig. 2 os resultados do afinamento de Mandeville e do afinamento modificado [Justino (1991)]. Nos dois casos foi aplicado um mesmo número de iterações. O processo modificado permitiu, comparando-se com o processo de Mandeville:

- homogeneizar o processo apesar da falta de simetria dos pixels retangulares;
- efetuar o processo de afinamento com menos iterações;
- processar imagens de placas apresentando trilhas horizontais, verticais e trilhas inclinadas em 45 graus, e furos nas ilhas.

Identificou-se no entanto, um processo de afinamento que, embora não sendo morfológico, fornecia resultados equivalentes com uma demanda de tempo bastante inferior [Lopes (1992)]. Isso faz com que o SIPCIC não seja um sistema composto tão somente de ferramentas morfológicas, mas o torna mais ágil. Esse algoritmo efetua remossões sucessivas de pixels das bordas dos objetos da imagem até que reste apenas o esqueleto representativo do eixo médio dos mesmos. É de implementação relativamente simples, gera um esqueleto de muito boa qualidade e possui boa imunidade a ruído nas bordas da imagem. O algoritmo trabalha através de análise da conectividade 8 de cada pixel (Fig. 3) a fim de decidir se deve ou não ser removido. Tais características são muito desejáveis dentro do que se propõe este trabalho.

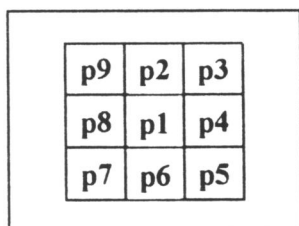


Figura 3: Representação de 8-vizinhança

O processo de afinamento é dividido em duas subiterações que são repetidas alternadamente até que não reste mais nenhum pixel que possa ser removido. Cada subiteração marca inicialmente todos os pixels da imagem que devem ser eliminados naquele passo e então procede ao apagamento destes. A primeira subiteração remove os pixels das bordas a sul e leste e dos cantos a sudeste. O ponto central é removido se satisfizer as seguintes condições:

- $2 < B(p1) \leq 6$
- $A(p1) = 1$
- $p2 * p4 * p6 = 0$
- $p4 * p6 * p8 = 0$

onde $A(p1)$ é o número transações de 0 para 1 no conjunto ordenado $p2, p3, p4, \dots, p9$, e $B(p1)$ é o número de pixels iguais a um na vizinhança de $p1$. A segunda

subiteração remove as bordas a norte e oeste e cantos a noroeste. Apenas as condições (c) e (d) são alteradas:

- $p2 * p4 * p8 = 0$
- $p2 * p6 * p8 = 0$

4 Detecção Automática de Defeitos

Nesta seção apresentamos os resultados do levantamento automático dos defeitos a partir dos modelos de placas de circuito impresso com defeitos.

4.1 Defeito por Falta de Cobre

Um defeito que aparece por excesso de corrosão é detectado pela destruição da conectividade do filete ou da ilha onde se localiza. Na Fig. 4, a imagem da placa de circuito impresso (Fig. 4.a) é erodida conforme os fatores FNME_H, FNME_V definidos segundo as tolerâncias da Regra-1, e depois afinada (Fig. 4.b). A leitura das entidades unifilares permite a detecção das entidades interrompidas, inexistentes numa placa ideal, o que valida a detecção dos defeitos por falta de cobre.

4.2 Descentralização do Furos

A detecção dos defeitos gerados por descentralização dos furos nas ilhas baseia-se no mesmo princípio da detecção dos defeitos por falta de cobre. Usamos uma sucessão de processos regidos segundo as tolerâncias da Regra-3, cuja característica principal está na destruição da conectividade de uma ilha cujo furo esteja mal localizado. A leitura das entidades unifilares interrompidas (inexistentes numa placa ideal) valida a detecção cujos resultados são ilustrados na Fig. 4.b.

4.3 Defeito por Excesso de Cobre

É possível detectar uma falta de corrosão pela criação de conexões nos lugares desse defeito. Os curto-circuitos são gerados pela dilatação da imagem da placa de circuito impresso, conforme os fatores FNMD_H, FNMD_V definidos segundo as tolerâncias da Regra-2. Após o processo de afinamento da nova imagem uma leitura das entidades unifilares a partir de máscaras adequadas detecta a presença daquelas junções do tipo "H" ou tipo "><" (Fig. 4.c), inexistentes numa placa ideal, o que valida a detecção dos defeitos associados.

5 Conclusões

A maioria das técnicas de controle de placas de circuito impresso realiza a inspeção por comparação com a "placa ideal". Demonstrou-se aqui a viabilidade de uma técnica de detecção de defeitos pela ampliação desses. Demonstramos que uma placa pode ser processada a partir dela mesma sem levar em consideração a placa padrão.

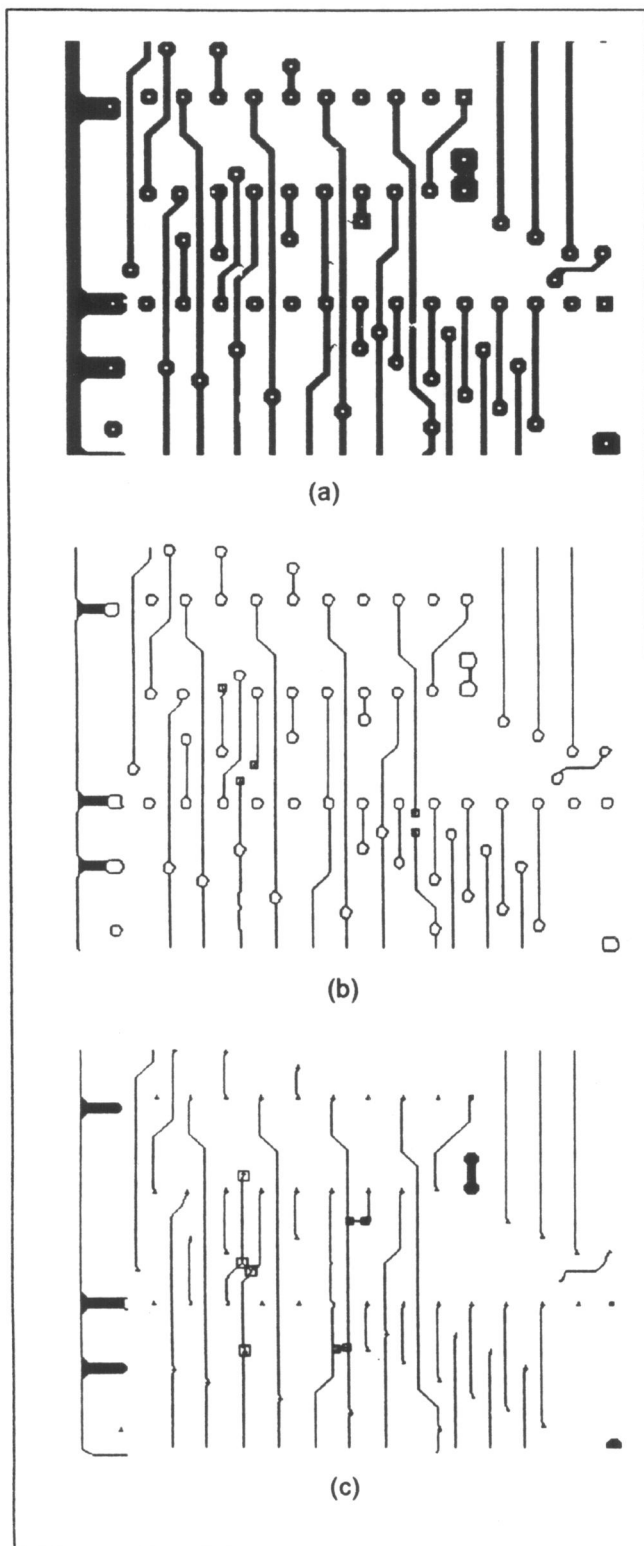


Figura 4: Exemplo de detecção de defeitos: a) Imagem Inicial; b) Detecção de defeitos por falta de cobre; e por descentralização de furos; c) Detecção de defeitos por excesso de cobre

Os resultados mostraram que, em comparação a outras técnicas, o protótipo realizou:

- a pesquisa de defeitos a partir de um modelo simples de elemento estruturante;
- a colocação em evidência de defeitos em placas apresentando:
 - a) trilhas horizontais e verticais;
 - b) trilhas inclinadas em 45 graus;
 - c) furos nas ilhas.

Verificou-se assim a possibilidade de redução do conhecimento prévio da placa e a perspectiva de desenvolvimento de sistemas mais baratos.

7 Referências

- ABNT - Assoc. Bras. de Normas Técnicas, Plano de Amostragem e Procs. na Inspeção por Atributos, *Norma Brasileira ABNT P-NB-309/01*. Brasil, 1975.
- E. Wagner, Aceitação de Placas de Circuito Impresso - Visão do Usuário, *1 Enc. Nac. de Usuários e Profs. de Circuito Impresso*, p. C-1, Curitiba, set. 1987.
- Jon R. Mandeville, Novel Method for Analysis of Printed Circuit Images, *IBM J. Res. Develop.*, USA, v. 29, p. 73-86, jan. 1985.
- Yasuhiko Hara, Hideaki Doi, Koichi Karasaki et al., A System for PCB Automated Inspection Using Fluorescent Light, *IEEE Transactions on Pattern Analysis and Machine Intelligence*, USA, v. 10, n. 1, p.69-78, jan. 1988.
- Jean Serra, *Image Analysis and Mathematical Morphology*. New York, Academic Press, 1982.
- Petros Maragos, Ronald W. Schafer, Morphological Filters - Part I: Their Set-Theoretic Analysis and Relations to Linear Shift-Invariant Filters, *IEEE Trans. on Acoustics, Speech and Signal Processing*, USA, v. assp 35, ago. 1987
- H. Kelley, Homologação de Placas de Circuitos Impressos, *1 Encontro Nacional de Usuários e Profissionais de Circuito Impresso*, p. D-1, Curitiba 17 e 18 set. 1987.
- T. L. Maranhão Pinto, *Curso de Prod. Industrial Eletrônica*. CEFET-PR, Curitiba, abr. 1983.
- R. C. Gonzalez, *Digital Image Processing*. USA, Addison-Wesley Publishing Company, 1978.
- A. P. Spraghe, A. P. Donahue, S. I. Rokhlin, A Method for Automatic Inspection of Printed Circuit Boards, *CVGIP: Image Understanding*, USA, v. 54, n. 3, p. 401-415, nov. 1991.
- Edison J. R. Justino, *Metodologia de Inspeção Automática de Placas de Circuito Impresso*. Brasil, 1991, CEFET-PR.
- Marcos A. Lopes, *Estudo de Metodologias e Implementação de um Sistema de Reconhecimento Ótico de Caracteres*. Brasil, 1992, CEFET-PR.